

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-326396

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/322			H 0 1 L 21/322	G
				Y
27/12			27/12	B

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平8-140579

(22) 出願日 平成8年(1996)6月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加藤 照男

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

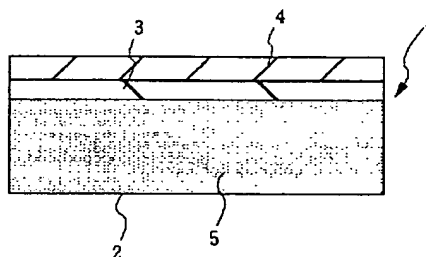
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 貼り合わせSOIウェハに関するゲッタリング法を提供する。

【解決手段】 半導体支持基板2上にBOX3、BOX3上に表面シリコン層4を有し、表面シリコン層4に半導体集積回路素子が形成された半導体集積回路装置1において、半導体支持基板2の全体にゲッタリング領域として酸素析出物5を形成し、表面シリコン層4に存在する重金属原子等の不純物を、BOX3を介して酸素析出物5にトラップすることにより表面シリコン層4の不純物濃度を低下させる。また、ゲッタリング領域としては、半導体支持基板2の裏面に形成した多結晶シリコン膜、シリコン窒化膜あるいは機械的損傷層とすることができる。

図 1



- 1 半導体集積回路装置
- 2 半導体支持基板
- 3 BOX
- 4 表面シリコン層
- 5 酸素析出物

【特許請求の範囲】

【請求項 1】 半導体支持基板と、前記半導体支持基板上に設けられた絶縁層と、前記絶縁層上に設けられた半導体薄膜層とを有する半導体集積回路用基板の前記半導体薄膜層に半導体集積回路素子が形成された半導体集積回路装置であって、
前記半導体支持基板にゲッタリング領域を設けたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、
前記ゲッタリング領域は、前記半導体支持基板全体に分布した酸素析出物からなることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置であって、
前記ゲッタリング領域は、前記半導体支持基板と前記絶縁層との界面に形成され、リン (P) が高濃度に導入された不純物拡散層からなることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置であって、
前記ゲッタリング領域は、前記半導体薄膜層を表面とする前記半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成されることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 または 4 記載の半導体集積回路装置であって、
前記薄膜は、ポリシリコン薄膜であることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 または 4 記載の半導体集積回路装置であって、
前記ストレス発生領域は、前記裏面に噴射された微粒子の衝突による表面粗化処理、または前記裏面に形成された窒化シリコン膜との応力差によって形成されるものであることを特徴とする半導体集積回路装置。

【請求項 7】 半導体支持基板上の絶縁層上に設けられた半導体薄膜層に半導体集積回路素子を有し、前記半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体支持基板となる第 1 の半導体基板にゲッタリング領域を形成する工程、

(b) 前記半導体薄膜層となる第 2 の半導体基板の表面にシリコン酸化膜を形成し、前記シリコン酸化膜が形成された前記第 2 の半導体基板と、前記ゲッタリング領域を有する前記第 1 の半導体基板とを接合して接合基板を形成する工程、

(c) 前記接合基板のうち、前記第 2 の半導体基板にかかる部分を研磨し、前記半導体薄膜層を形成する工程、を有する半導体集積回路装置の製造方法。

【請求項 8】 請求項 7 記載の半導体集積回路装置の製

造方法であって、

前記ゲッタリング領域は、前記第 1 の半導体基板を熱処理することにより形成され、前記半導体支持基板全体に分布した酸素析出物からなる第 1 の構成、

前記第 1 の半導体基板にリン (P) をイオン注入することにより、またはリン (P) を熱拡散により導入することにより形成され、前記半導体支持基板と前記絶縁層との界面に形成された不純物拡散層からなる第 2 の構成、の何れかの構成であることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 半導体支持基板上の絶縁層上に設けられた半導体薄膜層に半導体集積回路素子を有し、前記半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体薄膜層となる第 2 の半導体基板の表面にシリコン酸化膜を形成し、前記シリコン酸化膜が形成された前記第 2 の半導体基板と、前記半導体支持基板となる第 1 の半導体基板とを接合して接合基板を形成する工程、

(b) 前記接合基板の両面または前記第 1 の半導体基板側にゲッタリング領域を形成する工程、

(c) 前記接合基板のうち、前記第 2 の半導体基板にかかる部分を研磨し、前記半導体薄膜層を形成する工程、を有する半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、高速・低消費電力 LSI の製造に用いられる貼り合わせ SOI (Silicon on Insulator) ウェハのゲッタリングに適用して有効な技術に関するものである。

【0002】

【従来の技術】高速・低消費電力 LSI への適用を目的として、素子と半導体基板との接合容量を小さくすることができる SOI 技術が注目されている。

【0003】SOI 構造を有するウェハ、すなわち SOI ウェハについては、たとえば、昭和 59 年 11 月 30 日、株式会社オーム社発行、「LSI ハンドブック」、p 388～p 390 に詳しく記載されている。以下簡単に説明する。

【0004】SOI ウェハは、一般に、三層構造を成している。最上層（以下表面シリコン層と称する）は厚さ 0.1 μm～数 μm の単結晶シリコン層であり、ここに半導体集積回路素子が形成される。中間層として、厚さ数百 nm の埋め込み SiO₂ 膜（以下 BOX と称する）を有し、最下層にシリコン基板を有するものである。

【0005】このような SOI ウェハにおいても、シリコンウェハと同様に、半導体集積回路素子が形成される領域となる表面シリコン層に含まれる金属原子あるいは欠陥等の不純物をゲッタリングして、半導体集積回路素

子の性能を向上させる技術が必要である。

【0006】SOIウェハにおけるゲッタリング技術として、特開平6-61235号公報がある。すなわち、デバイスの高電氣的信頼度、高歩留まり可能なSOI構造の半導体集積回路装置およびその製造方法を提供することを目的として、ウェハ貼り合わせ技術を用いて、SOI構造の半導体集積回路用基板の埋め込み酸化膜の直上に高濃度インプラ層、多結晶シリコン層等のゲッタリング層を設けたものである。

【0007】また、従来、重金属原子はBOXをほとんど透過しないと見なされていたため、SOIウェハに対して、従来のイントリンシックゲッタリング法やイクストリンシックゲッタリング法は適用できないと考えられ、有効なゲッタリング法が提案されなかった。

【0008】ところが、J. Jablonski他、J. Electrochem. Soc.、第142巻第6号2059頁、1995年6月、において、SIMOXウェハを用いた実験から厚さ数百nmのBOXを重金属原子が透過することが報告され、SIMOXウェハに対するゲッタリング法が提案されている。この提案を簡単に説明すると、BOX直下のイオン注入ダメージ層に表面シリコン層中の重金属原子をゲッターさせるものである。

【0009】

【発明が解決しようとする課題】上記特開平6-61235号公報に示された技術は、0.1 μ m～数 μ mの厚さを有する表面シリコン層とBOXとの間にゲッタリング層を設けるものであり、そのような薄い表面シリコン層の下部にゲッタリング層を設けることはプロセス上の困難を伴うものである。

【0010】また、前記J. Jablonski他の文献に示された技術は、BOX下部にゲッタリング層を設けるものではあるが、ゲッタリング層は、BOX形成後、表面シリコン層を通してイオン注入によりダメージ層として形成されるものであるため、半導体集積回路素子の性能に影響する表面シリコン層の品質を高く保つことが困難である。

【0011】本発明の目的は、高いゲッタリング能力を有するゲッタリング層を備えた半導体集積回路装置を提供することにある。

【0012】本発明の他の目的は、そのような半導体集積回路装置の簡易な製造方法を提供することにある。

【0013】本発明のさらに他の目的は、ゲッタリング層により不純物をゲッタリングし、半導体集積回路装置の性能を向上することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】(1)本発明の半導体集積回路装置は、半導体支持基板と半導体支持基板上に設けられた絶縁層と絶縁層上に設けられた半導体薄膜層とを有する半導体集積回路用基板の半導体薄膜層に半導体集積回路素子が形成された半導体集積回路装置であって、半導体支持基板にゲッタリング領域を設けたものである。

【0017】このような半導体集積回路装置によれば、SOIで例示される半導体集積回路用基板の半導体支持基板にゲッタリング領域を設けたため、絶縁層上に設けられた半導体薄膜層にゲッタリング領域を設ける必要がなく、その半導体薄膜層に形成された半導体集積回路素子の性能を向上することができる。

【0018】すなわち、製造工程が複雑となる半導体薄膜層と絶縁層との界面にゲッタリング領域を設ける従来の構成ではなく半導体支持基板にゲッタリング領域を設ける構成を採用することにより、有効なゲッタリング領域を容易な製造方法により形成することができる。

【0019】(2)本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、ゲッタリング領域を半導体支持基板全体に分布した酸素析出物としたものである。

【0020】このような半導体集積回路装置によれば、ゲッタリング領域を半導体支持基板全体に分布した酸素析出物とすることにより、半導体集積回路素子の性能を向上することができる。すなわち、半導体薄膜層中に存在する金属あるいは欠陥等の不純物を、酸素析出物により形成された歪み領域にゲッタリングし、半導体薄膜層中の不純物を低減することができる。

【0021】また、酸素析出物からなるゲッタリング領域を半導体薄膜層ではなく半導体支持基板に設けることにより、半導体薄膜層とは分離してゲッタリング領域を形成することが可能である。そのため、アニール温度の履歴を工夫して半導体薄膜層にデヌーデッドゾーンを形成する必要がなく、製造工程を簡略化することができる。

【0022】(3)本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、ゲッタリング領域を、半導体支持基板と絶縁層との界面に形成されたリン(P)が高濃度に導入された不純物拡散層としたものである。

【0023】このような半導体集積回路装置によれば、半導体集積回路素子の性能を向上することができる、また、製造工程を簡略化することができる、さらに、高濃度のリン(P)が導入された不純物拡散層を設けたため、金属元素の固容限の増大による化学的な作用によって金属不純物をゲッタリングすることができる。

【0024】(4)本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、ゲッタリ

10

20

30

40

50

ング領域を、半導体薄膜層を表面とする半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成するものである。

【0025】このような半導体集積回路装置によれば、ゲッタリング領域を半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成するため、半導体集積回路素子の性能を向上することができ、また、製造工程を簡略化できる。すなわち、ゲッタリング領域を有さない半導体集積回路用基板に、ゲッタリング領域を付加した構造であるため、ゲッタリング領域の形成を半導体集積回路装置の製造工程の任意の段階で比較的自由に行うことができる。これにより、半導体集積回路装置の製造工程全体の最適化を図ることが容易となる。

【0026】(5) 本発明の半導体集積回路装置は、前記(1)または(4)記載の半導体集積回路装置であって、薄膜をポリシリコン薄膜としたものである。

【0027】このような半導体集積回路装置によれば、ゲッタリング領域である薄膜をポリシリコン薄膜とするため、金属不純物のゲッタリングを有効に行うことができ、半導体集積回路装置の性能を向上することができる。

【0028】すなわち、ポリシリコン薄膜をゲッタリング領域とすることにより、そのポリシリコン薄膜と半導体支持基板の裏面との界面に形成されるストレスによる歪み場の作用のみならず、ポリシリコン薄膜内に存在する結晶欠陥、特にポリシリコン薄膜を構成するシリコン粒の粒界の作用による金属不純物のゲッタリング能力を増大させることができる。

【0029】(6) 本発明の半導体集積回路装置は、前記(1)または(4)記載の半導体集積回路装置であって、ストレス発生領域を、裏面に噴射された微粒子の衝突による表面粗化処理、または裏面に形成された窒化シリコン膜との応力差によって形成するものである。

【0030】このような半導体集積回路装置によれば、ストレス発生領域を裏面に噴射された微粒子の衝突による表面粗化処理、または裏面に形成された窒化シリコン膜との応力差によって形成しているため、金属不純物のゲッタリングを有効に行うことができ、半導体集積回路装置の性能を向上することができる。

【0031】すなわち、半導体支持基板の裏面への微粒子の衝突による表面粗化処理あるいは窒化シリコン膜の形成は、その処理あるいは形成された領域に大きなストレスを発生させるものであり、このストレスによる歪み場の形成は、金属不純物のゲッタリングを非常に有効に行うものである。

【0032】(7) 本発明の半導体集積回路装置の製造方法は、半導体支持基板上の絶縁層上に設けられた半導体薄膜層に半導体集積回路素子を有し、半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、(a) 半導体支持基板となる第1の半導

体基板にゲッタリング領域を形成する工程、(b) 半導体薄膜層となる第2の半導体基板の表面にシリコン酸化膜を形成し、シリコン酸化膜が形成された第2の半導体基板とゲッタリング領域を有する第1の半導体基板とを接合して接合基板を形成する工程、(c) 接合基板のうち第2の半導体基板にかかる部分を研磨し半導体薄膜層を形成する工程、を有するものである。

【0033】このような半導体集積回路装置の製造方法によれば、第1の半導体基板にゲッタリング領域を形成し、別に作成した第2の半導体基板と貼り合わせることで半導体集積回路用基板を形成するため、ゲッタリング領域の製造工程によって半導体集積回路素子が形成される半導体薄膜層が影響を受けることがない。この結果、半導体集積回路素子の性能に影響する半導体薄膜層の品質をゲッタリング領域の製造工程によって劣化させることなく良好に保持することができる。

【0034】(8) 本発明の半導体集積回路装置の製造方法は、前記(7)記載の半導体集積回路装置の製造方法であって、ゲッタリング領域を、第1の半導体基板を熱処理することにより形成される半導体支持基板全体に分布した酸素析出物、または、第1の半導体基板にリン(P)をイオン注入または熱拡散することにより形成され、半導体支持基板と絶縁層との界面に形成された不純物拡散層、の何れかとするものである。

【0035】このような半導体集積回路装置の製造方法によれば、酸素析出物あるいは不純物拡散層は、半導体集積回路素子の性能に影響する半導体薄膜層を含む第2の半導体基板とは別に製造することができ、また、第2の半導体基板の物性変化を考慮することなく酸素析出物あるいは不純物拡散層の製造の工程条件を最適化することができる。

【0036】(9) 本発明の半導体集積回路装置の製造方法は、半導体支持基板上の絶縁層上に設けられた半導体薄膜層に半導体集積回路素子を有し、半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、(a) 半導体薄膜層となる第2の半導体基板の表面にシリコン酸化膜を形成し、シリコン酸化膜が形成された第2の半導体基板と半導体支持基板となる第1の半導体基板とを接合して接合基板を形成する工程、(b) 接合基板の両面または第1の半導体基板側にゲッタリング領域を形成する工程、(c) 接合基板のうち、第2の半導体基板にかかる部分を研磨し、半導体薄膜層を形成する工程、を有するものである。

【0037】このような半導体集積回路装置の製造方法によれば、第1の半導体基板と第2の半導体基板とを貼り合わせた後にゲッタリング領域をその両面あるいは第1の半導体基板面に形成するため、製造工程を簡略化することができる。すなわち、第1の半導体基板側つまり半導体集積回路素子用基板の裏面に薄膜を形成してこれをゲッタリング領域とする場合には、あらかじめゲッタ

10

20

30

40

50

リング領域を第1の半導体基板に設けた後に第2の半導体基板と貼り合わせる工程を採用するよりも、第1および第2の半導体基板を貼り合わせた後にゲッタリング領域を設ける方が、薄膜形成時に発生する汚染を貼り合わせ前に除去する必要があるため、工程が簡略化でき、有利である。

【0038】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0039】（実施の形態1）図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0040】本実施の形態1の半導体集積回路装置1は、半導体支持基板2、半導体支持基板2上に形成された絶縁層であるBOX3およびBOX3上に形成された半導体薄膜層である表面シリコン層4からなるSOI構造を有するものであり、表面シリコン層4には図示しないが半導体集積回路素子が形成されている。

【0041】半導体支持基板2は、ゲッタリングのサイトとなる酸素析出物5を有する。酸素析出物5は、半導体支持基板2の全体にほぼ均一に分布し、その密度は $10^4 \sim 10^6$ 個/ cm^2 である。

【0042】このような半導体集積回路装置1によれば、表面シリコン層4に存在する不純物を、BOX3を介して半導体支持基板2内に存在する酸素析出物5によりゲッタリングすることができる。これにより、表面シリコン層4に形成された半導体集積回路素子の性能を向上することができ、半導体集積回路装置1の高性能化、歩留まり向上を図ることができる。

【0043】次に、本実施の形態1の半導体集積回路装置1の製造方法を図2～図7に従って説明する。

【0044】まず、第1の半導体基板であるシリコンウェハ6を用意する（図2）。シリコンウェハ6は、半導体支持基板2となるものである。

【0045】シリコンウェハ6の結晶特性は、たとえば、面方位（100）、導電形N形、抵抗率 $10 \Omega \cdot \text{cm}$ 、酸素濃度 1×10^{18} 原子/ cm^3 、直径125mm、厚さ550 μm とすることができる。

【0046】次に、シリコンウェハ6をアニールすることにより、ウェハ内部に酸素析出核7を形成する（図3）。アニール条件は、N2雰囲気中、温度を750℃、処理時間を5時間とすることができる。

【0047】次に、第2の半導体基板であるシリコンウェハ8を用意する（図4）。シリコンウェハ8は、SOIウェハの素子が形成される側のボンドウェハとなるものである。

【0048】シリコンウェハ8の結晶特性は、たとえば、面方位（100）、導電形N形、抵抗率 $10 \Omega \cdot \text{cm}$ 、酸素濃度 8×10^{18} 原子/ cm^3 、直径125mm、厚さ550 μm とすることができる。

【0049】次に、シリコンウェハ8を熱酸化して、表面に厚さ500nmのBOX3を形成し、ボンドウェハ9とする（図5）。

【0050】次に、シリコンウェハ6とボンドウェハ9を、鏡面側を互いに対向させて重ね合わせた後、N2雰囲気中で1050℃、3時間のアニールを行って、両者を強固に接着させるとともに、シリコンウェハ6内に形成しておいた酸素析出核7を酸素析出物10に成長させる（図6）。これにより貼り合わせウェハ11が得られる。

【0051】次に、貼り合わせウェハ11のボンドウェハ9側の面を、平面研削盤で所定の表面シリコン層4の厚さより数十 μm 厚い厚さまで除去し、その後化学的機械的研磨法により所定の表面シリコン層4の厚さ（例えば2 μm ）まで研磨する（図7）。このようにして、BOX3の下の半導体支持基板2の中にゲッタリングサイトとなる酸素析出物10を有する半導体集積回路用基板が形成される。

【0052】最後に、表面シリコン層4の表面に公知の技術を用いて半導体集積回路素子を形成し、半導体集積回路装置1が完成する。

【0053】このような半導体集積回路装置1の製造方法によれば、第1の半導体基板である半導体支持基板2にゲッタリング領域である酸素析出物10を形成し、別に作成した第2の半導体基板であるボンドウェハ9を貼り合わせることににより半導体集積回路用基板を形成するため、酸素析出物10の形成工程によって受ける表面シリコン層4の影響を回避することができ、この結果、半導体集積回路装置1の性能を向上することができる。

【0054】また、酸素析出核7と表面シリコン層4を含む第2の半導体基板とを別に製造することができるため、第2の半導体基板の物性変化を考慮することなく酸素析出核7の密度を高めるための工程条件の最適化を図ることができる。

【0055】（実施の形態2）図8は、本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0056】本実施の形態2の半導体集積回路装置12は、半導体支持基板13、半導体支持基板13上に形成された絶縁層であるBOX3およびBOX3上に形成された半導体薄膜層である表面シリコン層4からなるSOI構造を有するものであり、表面シリコン層4には図示しないが半導体集積回路素子が形成されている。

【0057】また、半導体支持基板13の裏面には、多結晶シリコン膜14が約1 μm の膜厚で形成されている。この多結晶シリコン膜14が、ゲッタリング領域となる。

【0058】このような半導体集積回路装置12によれば、表面シリコン層4に存在する不純物を、BOX3および半導体支持基板13を介して多結晶シリコン膜14

にゲッタリングすることにより、表面シリコン層 4 に形成された半導体集積回路素子の性能を向上することができ、半導体集積回路装置 12 の高性能化、歩留まり向上を図ることができる。

【0059】次に、本実施の形態 2 の半導体集積回路装置 12 の製造方法を図 9～図 11 に従って説明する。

【0060】まず、第 2 の半導体基板であるシリコンウェハ 15 を用意し、シリコンウェハ 15 を熱酸化して、表面に厚さ 500 nm の BOX3 を形成する (図 9)。シリコンウェハ 15 は、SOI ウェハの素子が形成される側のボンドウェハとなるものである。

【0061】シリコンウェハ 15 の結晶特性は、たとえば、面方位 (100)、導電形 N 形、抵抗率 $10 \Omega \cdot \text{cm}$ 、直径 125 mm、厚さ 550 μm とすることができる。

【0062】次に、シリコンウェハ 15 と同一の結晶特性を有するシリコンウェハ 16 を用意し、シリコンウェハ 15 とシリコンウェハ 16 を鏡面側を互に対向させて重ね合わせた後、N₂ 雰囲気中で、温度を 1050℃、処理時間を 3 時間としてアニールを行い、両者を強固に接着させ、貼り合わせウェハ 17 を得る (図 10)。シリコンウェハ 16 は半導体支持基板 13 となるものである。

【0063】次に、貼り合わせウェハ 17 の両面に、公知の CVD 法を用いて多結晶シリコン膜 14 を約 1 μm の厚さになるまで堆積する (図 11)。

【0064】次に、貼り合わせウェハ 17 のシリコンウェハ 15 側の面を、平面研削盤で所定の表面シリコン層 4 の厚さより数十 μm 厚い厚さまで除去し、その後化学的機械的研磨法により所定の表面シリコン層 4 の厚さ (例えば 2 μm) まで研磨する。このようにして、半導体支持基板 13 の裏面にゲッタリング領域となる多結晶シリコン膜 14 を有する半導体集積回路用基板が形成される。

【0065】最後に、表面シリコン層 4 の表面に公知の技術を用いて半導体集積回路素子を形成し、図 8 に示す半導体集積回路装置 12 が完成する。

【0066】このような半導体集積回路装置 12 の製造方法によれば、シリコンウェハ 15 とシリコンウェハ 16 とを貼り合わせた後に多結晶シリコン膜 14 を形成するため、製造工程を簡略化することができる。すなわち、第 1 の半導体基板であるシリコンウェハ 16 側にあらかじめ多結晶シリコン膜 14 を形成してシリコンウェハ 15 と貼り合わせるよりも、貼り合わせた後に多結晶シリコン膜 14 を設ける方が、薄膜形成時に発生する汚染を貼り合わせ前に除去する必要がないため、工程が簡略化でき、有利である。

【0067】なお、本実施の形態 2 では、ゲッタリング領域として多結晶シリコン膜 14 の例を示したが、窒化シリコン膜の形成、あるいはサンドブラストによる表面

粗化処理であってもよい。この場合、不純物のゲッタリングは、形成された窒化シリコン膜と半導体支持基板 13 との界面、あるいは粗化された領域のストレスによる歪み場の発生によって不純物が効率よくゲッタリングされる。また、これらの処理は一般に低温度で処理されるため、デバイス特性に影響を与えることが少ない。なお、この場合、貼り合わせウェハ 17 を形成する雰囲気は、N₂ の他に酸素とすることができる。このようなときには、機械的欠陥部分に酸素誘起積層欠陥が形成され、さらにゲッタリングの効果を上げることができる。

【0068】また、機械的なストレスの発生を目的としたゲッタリング領域の例として、窒化シリコン膜の例を示したが、炭化シリコン膜、酸化アルミニウム膜、窒化チタン等の薄膜であってもよい。

【0069】(実施の形態 3) 図 12 は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0070】本実施の形態 3 の半導体集積回路装置 18 は、半導体支持基板 13、半導体支持基板 13 上に形成された絶縁層である BOX3 および BOX3 上に形成された半導体薄膜層である表面シリコン層 4 からなる SOI 構造を有するものであり、表面シリコン層 4 には図示しないが半導体集積回路素子が形成されている。

【0071】また、半導体支持基板 13 と BOX3 の界面には、リン (P) が高濃度に導入された不純物拡散層 19 が形成されている。この不純物拡散層 19 が、ゲッタリング領域となる。

【0072】このような半導体集積回路装置 18 によれば、表面シリコン層 4 に存在する不純物を、BOX3 を介して不純物拡散層 19 にゲッタリングすることにより、表面シリコン層 4 に形成された半導体集積回路素子の性能を向上することができ、半導体集積回路装置 18 の高性能化、歩留まり向上を図ることができる。

【0073】次に、本実施の形態 3 の半導体集積回路装置 18 の製造方法を図 13～図 15 に従って説明する。

【0074】まず、第 1 の半導体基板であるシリコンウェハ 13 を用意する (図 13)。

【0075】シリコンウェハ 13 の結晶特性は、たとえば、面方位 (100)、導電形 N 形、抵抗率 $10 \Omega \cdot \text{cm}$ 、直径 125 mm、厚さ 550 μm とすることができる。

【0076】次に、シリコンウェハ 13 の鏡面側にリン (P) をドーピングすることにより不純物拡散層 19 を形成する (図 14)。

【0077】リン (P) をドーピングする方法は、たとえば、熱拡散法を用いることができる。この場合、POCl₃ を拡散ソースにして、950℃で 15 分間堆積することによりリン濃度が約 1×10^{21} 原子/cm³ のリンガラス層を形成し、N₂ 雰囲気中で 1000℃、30 分のアニールを行い、深さ 1 μm 、濃度 1×10^{20} 原子

$/\text{cm}^3$ のリン拡散層を形成することができる。

【0078】また、リン(P)をドーピングする方法として、たとえば、イオン注入法を例示することができる。この場合、P⁺イオンをエネルギー100keV、ドーザ量 1×10^{16} イオン/ cm^2 で注入した後、N₂雰囲気中で1000℃、30分のアニールを行い、深さ1 μm 、濃度 1×10^{20} 原子/ cm^3 のリン拡散層を形成することができる。

【0079】次に、実施の形態1で説明したシリコンウェハ8を用意し、この表面にBOX3を形成してボンドウエハ9を形成する(図5)。シリコンウェハ8、BOX3およびボンドウエハ9については実施の形態1と同様であるため説明を省略する。

【0080】次に、シリコンウェハ13とボンドウエハ9を、鏡面側を互いに対向させて重ね合わせた後、N₂雰囲気中で1050℃、3時間のアニールを行って、両者を強固に接着させ、貼り合わせウェハ21を得る(図15)。

【0081】次に、貼り合わせウェハ21のボンドウエハ9側の面を、平面研削盤で所定の表面シリコン層4の厚さより数十 μm 厚い厚さまで除去し、その後化学的機械的研磨法により所定の表面シリコン層4の厚さ(例えば2 μm)まで研磨する。このようにして、半導体支持基板13とBOX3との界面にゲッタリング領域となる不純物拡散層19を有する半導体集積回路用基板が形成される。

【0082】最後に、表面シリコン層4の表面に公知の技術を用いて半導体集積回路素子を形成し、図12に示す半導体集積回路装置18が完成する。

【0083】このような半導体集積回路装置18の製造方法によれば、ゲッタリング領域となる不純物拡散層19の形成と、半導体集積回路装置の性能に影響する表面シリコン層4およびBOX3を有するボンドウエハ9の形成を分離して行うため、表面シリコン層4およびBOX3の界面の物性が、不純物拡散層19の形成による影響を受けることがない。たとえば、BOX3を形成した後にBOX3を介して不純物を熱拡散あるいはイオンドーピングする場合には、BOX3内での導入される不純物原子の残留等を発生する可能性があるが、本実施の形態3の製造方法では、このような不具合は生じない。この結果、半導体集積回路装置の性能向上、歩留まり向上に寄与することができる。

【0084】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0085】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以

下のとおりである。

【0086】(1)従来難しいと考えられてきた、貼り合わせSOIウェハへのゲッタリング技術の適用が可能となった。すなわち、絶縁層である埋め込みSiO₂膜の下部の半導体支持基板にゲッタリング領域を設けることにより、半導体デバイスの製造工程で入り込む汚染重金属をこれらのゲッタリング領域にトラップすることができ、素子の電気特性およびプローブ歩留の向上を図ることが可能となる。また、半導体支持基板にゲッタリング領域を設けたため、絶縁層上に設けられた半導体薄膜層にゲッタリング領域を設ける必要がなく、その半導体薄膜層に形成された半導体集積回路素子の性能を向上することができる。

【0087】(2)ゲッタリング領域を半導体支持基板全体に分布した酸素析出物とすることにより、半導体集積回路素子の性能を向上することができる。また、酸素析出物からなるゲッタリング領域を半導体薄膜層ではなく半導体支持基板に設けることにより、半導体薄膜層とは分離してゲッタリング領域を形成することが可能となり、半導体薄膜層にデヌーデッドゾーンを形成する必要がなく、製造工程を簡略化することができる。

【0088】(3)高濃度のリン(P)が導入された不純物拡散層を設けたため、金属元素の固容限の増大による化学的な作用によって金属不純物をゲッタリングすることができる。

【0089】(4)ゲッタリング領域を半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成するため、ゲッタリング領域を有さない半導体集積回路用基板にゲッタリング領域を付加した構造となり、ゲッタリング領域の形成を半導体集積回路装置の製造工程の任意の段階で比較的自由に行うことができる。これにより、半導体集積回路装置の製造工程全体の最適化を図ることが容易となる。

【0090】(5)ゲッタリング領域である薄膜をポリシリコン薄膜あるいは窒化シリコン膜とするため、またはゲッタリング領域を裏面に噴射された微粒子の衝突による表面粗化处理により形成するため、金属不純物のゲッタリングを有効に行うことができ、半導体集積回路装置の性能を向上することができる。

【0091】(6)第1の半導体基板にゲッタリング領域を形成し、別に作成した第2の半導体基板と貼り合わせることで半導体集積回路用基板を形成するため、ゲッタリング領域の製造工程によって受ける半導体薄膜層への影響を回避することができ、この結果、半導体集積回路素子の性能に影響する半導体薄膜層の品質をゲッタリング領域の製造工程によって劣化させることなく良好に保持することができる。

【0092】(7)酸素析出物あるいは不純物拡散層を半導体集積回路素子の性能に影響する半導体薄膜層を含む第2の半導体基板とは別に製造することができ、ま

た、第2の半導体基板の物性変化を考慮することなく酸素析出物あるいは不純物拡散層の製造の工程条件を最適化することができる。

【0093】(8)第1の半導体基板と第2の半導体基板とを貼り合わせた後にゲッタリング領域を形成するため、製造工程を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図8】本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図9】本発明の他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図10】本発明の他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図11】本発明の他の実施の形態である半導体集積回*

*路装置の製造工程の一例を示した要部断面図である。

【図12】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図13】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図14】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

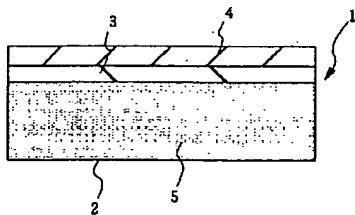
【図15】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【符号の説明】

- 1, 12 半導体集積回路装置
- 2, 13 半導体支持基板
- 3 BOX
- 4 表面シリコン層
- 5 酸素析出物
- 6, 8, 15, 16, シリコンウェハ
- 7 酸素析出核
- 9 ボンドウェハ
- 10 酸素析出物
- 11 貼り合わせウェハ
- 14 多結晶シリコン膜
- 17, 21 貼り合わせウェハ
- 18 半導体集積回路装置
- 19 不純物拡散層

【図1】

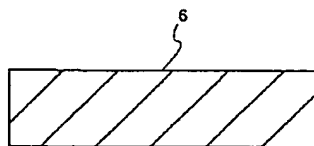
図 1



- 1 半導体集積回路装置
- 2 半導体支持基板
- 3 BOX
- 4 表面シリコン層
- 5 酸素析出物

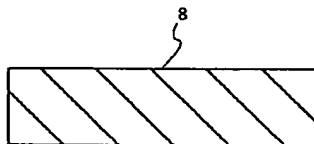
【図2】

図 2



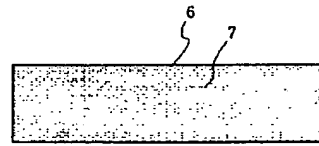
【図4】

図 4



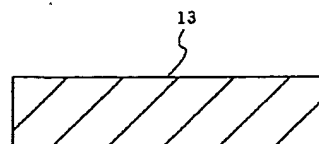
【図3】

図 3



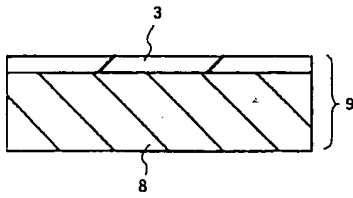
【図13】

図 13



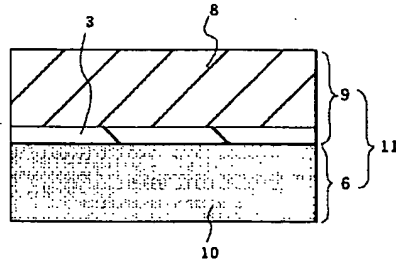
【図5】

図 5



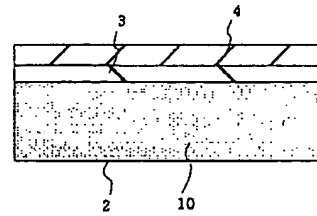
【図6】

図 6



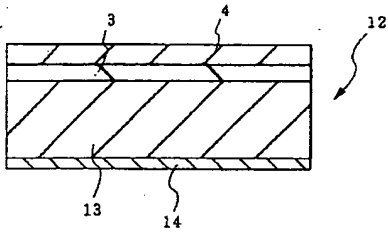
【図7】

図 7



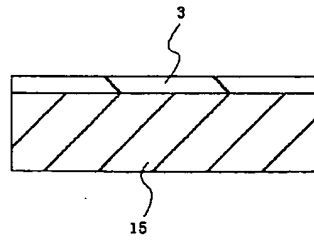
【図8】

図 8



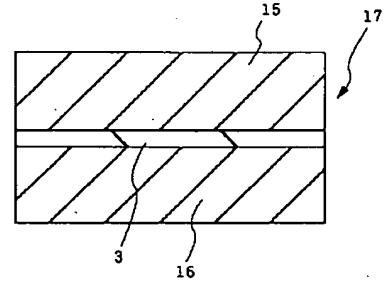
【図9】

図 9



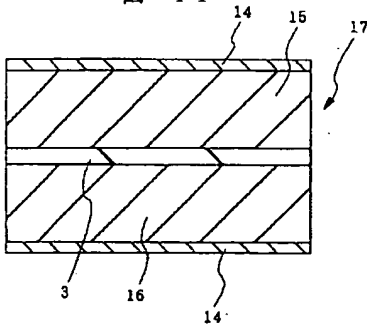
【図10】

図 10



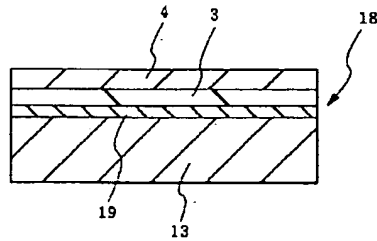
【図11】

図 11



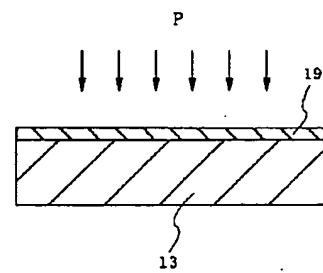
【図12】

図 12



【図14】

図 14



【図15】

図 15

